

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-031776

(43)Date of publication of application : 31.01.2003

(51)Int.Cl.

H01L 27/105

G11C 11/15

H01L 43/08

(21)Application number : 2002-138288

(71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 14.05.2002

(72)Inventor : SANG-SOK KIM
KANG HEE BOK
LEE SUN GHIL

(30)Priority

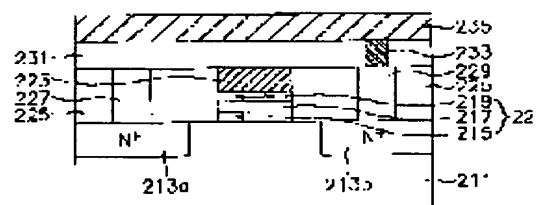
- Priority number : 2001 200128132 Priority date : 22.05.2001 Priority country : KR

(54) MAGNETIC RAM AND METHOD FOR FORMING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a magnetic RAM capable of improving productivity and characteristics of a cell by forming an MTJ cell between a semiconductor substrate and a word line without a gate oxide film, and facilitating a contact step of bit line, and to provide a method for forming the same.

SOLUTION: The magnetic RAM(MRAM) comprises the semiconductor substrate for performing a role of a base of a bipolar junction transistor, an emitter and a collector of the bipolar junction transistor provided in an active region of the substrate, the MTJ cell provided in the active region isolated at a predetermined distance between the emitter and the collector, a word line provided at an upper part of the MTJ cell, a bit line connected to the collector, and a reference voltage line connected to the emitter. Its constitution and forming steps are simplified to allow the productivity and characteristics of the cell to be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-31776

(P2003-31776A)

(43)公開日 平成15年1月31日(2003.1.31)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L 27/105		G 1 1 C 11/15	1 1 0 5 F 0 8 3
G 1 1 C 11/15	1 1 0	H 0 1 L 43/08	Z
H 0 1 L 43/08		27/10	4 4 7

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21)出願番号 特願2002-138288(P2002-138288)
 (22)出願日 平成14年5月14日(2002.5.14)
 (31)優先権主張番号 2 0 0 1 - 2 8 1 3 2
 (32)優先日 平成13年5月22日(2001.5.22)
 (33)優先権主張国 韓国 (K R)

(71)出願人 591024111
 株式会社ハイニックスセミコンダクター
 大韓民国京畿道利川市夫鉢邑牙美里山136-1
 (72)発明者 金 昌錫
 大韓民国京畿道利川市倉前洞49-1 現代
 アパート102-1207
 (72)発明者 姜 ▲熙▼福
 大韓民国大田廣域市西区桃馬2洞 キョン
 グナムアパート109-203
 (74)代理人 100090033
 弁理士 荒船 博司 (外1名)

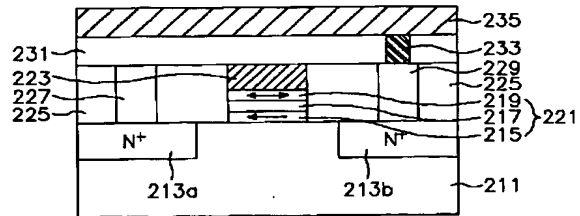
最終頁に続く

(54)【発明の名称】 マグネチックラム及びその形成方法

(57)【要約】

【課題】 ゲート酸化膜なしに半導体基板とワードラインの間にMTJセルを形成し、ビットラインのコンタクト工程を容易にし、素子の生産性及び特性を向上させることができるマグネチックラム及びその形成方法を提供する。

【解決手段】 本発明はマグネチックラム(MRAM)に関し、バイポーラ接合トランジスタのベースの役割を果たす半導体基板と、前記半導体基板の活性領域に備えられるバイポーラ接合トランジスタのエミッター及びコレクターと、前記エミッターとコレクターの間に一定距離隔離された活性領域に備えられるMTJセルと、前記MTJセルの上部に備えられるワードラインと、前記コレクターに接続されるビットラインと、前記エミッターに接続される基準電圧線とを含むMRAMを形成してその構成及び形成工程を単純化することにより、素子の生産性及び特性を向上させることができる技術である。



【特許請求の範囲】

【請求項1】バイポーラ接合トランジスタを利用したマグネチックラムにおいて、半導体基板とビットライン、ワードライン、電気又は磁気信号によりその抵抗が変化する磁気抵抗素子、及びバイポーラ接合トランジスタで構成されていることを特徴とするマグネチックラム。

【請求項2】ワードラインと半導体基板の間に磁気抵抗素子としてMTJセルが挿入されたことを特徴とする請求項1に記載のマグネチックラム。

【請求項3】前記MTJセルは、バイポーラ接合トランジスタの入力端子と接続されていることを特徴とする請求項1に記載のマグネチックラム。

【請求項4】マグネチックラムにおいて、バイポーラ接合トランジスタのベースの役割を果たす半導体基板と、前記半導体基板の活性領域に備えられるバイポーラ接合トランジスタのエミッター及びコレクターと、前記エミッターとコレクターの間に一定距離隔離された活性領域に備えられるMTJセルと、前記MTJセル上部に備えられるワードラインと、前記コレクターに接続されるビットラインと、前記エミッターに接続される基準電圧線とを含んでいることを特徴とするマグネチックラム。

【請求項5】前記MTJセルは、自由強磁性層、トンネル障壁層及び固定強磁性層の積層構造を有することを特徴とする請求項4に記載のマグネチックラム。

【請求項6】前記ビットラインは、前記コレクターに接続される連結線及びビットラインコンタクトプラグを介してコンタクトされることを特徴とする請求項4に記載のマグネチックラム。

【請求項7】前記ワードラインの側壁に絶縁膜スペーサが備えられていることを特徴とする請求項4に記載のマグネチックラム。

【請求項8】マグネチックラムの形成方法において、半導体基板の活性領域にインプラント工程でエミッターとコレクターを形成する工程と、全体表面上部に固定強磁性層、トンネル障壁層及び自由強磁性層の積層構造を形成する工程と、前記固定強磁性層、トンネル障壁層及び自由強磁性層の積層構造をMTJセルマスクを利用したリソグラフィ工程及びエッチング工程でパターンニングして島状のMTJセルを形成する工程と、全体表面上部にワードライン用導電層を形成する工程と、前記ワードライン用導電層をワードラインマスクを利用したリソグラフィ工程及びエッチング工程でパターンニングしてMTJセル上にワードライン積層構造を形成する工程と、全体表面上部に前記ワードラインの上側を露出させる第

1層間絶縁膜を形成する工程と、

前記第1層間絶縁膜に前記エミッターとコレクターにそれぞれ接続される連結線と基準電圧線を形成する工程と、

全体表面上部に第2層間絶縁膜を形成する工程と、

前記第2層間絶縁膜上に、前記連結線に接続されるビットラインを形成する工程とを含んでいることを特徴とするマグネチックラムの形成方法。

【請求項9】前記ワードラインのパターニング工程後、前記ワードラインの側壁に絶縁膜スペーサを形成することを特徴とする請求項8に記載のマグネチックラムの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマグネチックラム及びその形成方法に関し、特に、SRAMより速い速度、DRAMのような集積度、そしてフラッシュメモリ(flash memory)のような非揮発性メモリの特性を有するマグネチックラム(magnetic RAM: 以下、MRAMと記す)を製造する技術に関する。

【0002】

【従来の技術】大部分の半導体メモリ製造会社等は、次世代記憶素子の1つに強磁性体物質を利用するMRAMの開発を行っている。前記MRAMは、強磁性薄膜を多層に形成して各薄膜の磁化方向に伴う電流変化を感知することにより情報をリード及びライトすることができる記憶素子であり、磁性薄膜固有の特性により高速、低電力及び高集積化を可能にするだけでなく、フラッシュメモリのように非揮発性メモリ動作が可能な素子である。

【0003】前記MRAMは、スピンが電子の伝達現象に多大な影響を及ぼすため発生する巨大磁気抵抗(Giant Magnetoresistive, GMR)現象や、スピン偏極磁気透過現象を利用してメモリ素子を具現する方法がある。前記巨大磁気抵抗(GMR)現象を利用したMRAMは、非磁性層を挟んだ2つの磁性層でスピン方向において同じ場合より異なる場合の抵抗が大きく異なる現象を利用し、GMR磁気メモリ素子を具現するものである。前記スピン偏極磁気透過現象を利用したMRAMは、絶縁層を挟んだ2つの磁性層でスピン方向が同じ場合が異なる場合より電流透過が遥かによく発生するという現象を利用し、磁気透過接合メモリ素子を具現するものである。

【0004】しかし、前記MRAMに対する研究は現在初期段階にあり、主に多層磁性薄膜の形成に集中されており、単位セル構造及び周辺感知回路等に対する研究は未だ整っていないのが実情である。図1は、従来の技術の第1の実施の形態に係るマグネチックラムでMRAMを工程順に形成したものを示す断面図である。図1に示されているように、半導体基板31上部にゲート電極33、即ち第1ワードラインを形成する。このとき、前記

ゲート電極33には前記半導体基板31との界面にゲート酸化膜32が設けられている。そして、前記ワードライン33の両側の半導体基板31にソース／ドレイン接合領域35a、35bを形成し、それに接続される接地線37aと第1導電層37bを形成する。このとき、前記基準電圧線である接地線37aは前記第1導電層37bの形成工程時に形成する。

【0005】その次に、全体表面上部を平坦化させる第1層間絶縁膜39を形成し、前記第1導電層41と接続される第1コンタクトプラグ41を形成する。そして、前記第1コンタクトプラグ41に接続される下部リード層43の第2導電層をパターンニングする。全体表面上部を平坦化させる第2層間絶縁膜45を形成し、前記第2層間絶縁膜45上部にライトライン47である第2ワードラインを形成する。そして、前記ライトライン47である第2ワードライン上部を平坦化させる第3層間絶縁膜48を形成する。さらに、前記第2導電層43と接続される第2コンタクトプラグ49を形成する。そして、第4層間絶縁膜53、及び前記第2コンタクトプラグ49に接続されるシード層51を形成する。このとき、前記シード層51は前記第2コンタクトプラグ49の上側から前記ライトライン47上側まで重なるように形成する。

【0006】その次に、前記シード層51上部に反強磁性層（図示省略）、固定強磁性層（pinned ferromagnetic）55、トンネル障壁層（tunnel barrier layer）57及び自由強磁性層（free ferromagnetic）59を積層してMTJ（magnetic tunnel junction）セル100を形成する。このMTJセル100は、前記ライトライン47と重なるように、かつ、同程度の大きさにパターン形成する。ここで、前記反強磁性層は固定層の磁化方向が変わらないようにする役割を果たし、これに従う前記固定強磁性層55は磁化方向が一方向に固定されているものである。そして、前記自由強磁性層59は発生した磁場により磁化方向が変化し、前記自由強磁性層59の磁化方向に従い“0”又は“1”の情報を記憶することができる。その次に、全体表面上部に第5層間絶縁膜60を形成して平坦になるようにエッチングすることにより前記自由強磁性層59を露出させ、前記自由強磁性層59に接続される上部リード層、即ちビットライン61を形成する。

【0007】一方、前記図1を参照し、前記MRAMの構造及び動作を説明すると次の通りである。先ず、MRAMの単位セルは、情報をリードするときに用いられるリードラインの第1ワードライン33が備えられる電界効果トランジスタ1つと、MTJセル100、電流を加えて外部磁場を形成し、MTJセル100に磁化方向を定めるライトラインの第2ワードライン47、MTJセル100に垂直方向に電流を加えて自由層の磁化方向を知るための上部リード層のビットライン61で構成され

ている。ここで、前記MTJセル100内の情報をリードする動作は、前記リードラインの第1ワードライン33に電圧を加えて電界効果トランジスタを動作させ、前記ビットライン61に電流を加えるときに流れる電流の大きさを感知することにより、MTJセル100内の自由強誘電層の磁化方向をチェックするものである。

【0008】前記MTJセル100内に情報を記憶させる動作は、電界効果トランジスタをオフ（off）状態に維持したまま、前記ライトラインの第2ワードライン47とビットライン61に電流を加えて発生する磁場によって、自由強磁性層59の磁化方向を制御するものである。このとき、前記ビットライン61とライトライン47に同時に電流を加える理由は、2つの金属線が上下方向から見て直交する地点の1つのセルを選択することができるためである。

【0009】さらに、リード時の前記MRAM内部でのMTJセル100の動作を説明すると、次の通りである。先ず、前記MTJセル100に垂直方向に電流が流れる場合、絶縁層を介したトンネリング電流が流れることになり、トンネル障壁層57と自由強磁性層59の磁化方向が同じであれば、このトンネリング電流が大きくなり、トンネル障壁層と自由強磁性層の磁化方向が逆であれば、トンネリング電流が小さくなる。これをTMR（Tunneling Magnetoresistance）効果という。そして、前記TMR効果による電流の大きさを感知して自由強磁性層の磁化方向を感知し、それによってセルに貯蔵された情報が分かる。

【0010】図2は、従来の技術の第2の実施の形態に基づき形成されるマグネチックラムを示す断面図である。図2に示されているように、半導体基板111に活性領域を定義する素子分離膜（図示省略）を形成する。さらに、前記半導体基板111の活性領域上にゲート酸化膜112を有するゲート電極113を形成して、その側壁に絶縁膜スペーサ（図示省略）を形成し、前記半導体基板111の活性領域不純物を注入してソース／ドレイン接合領域115a、115bを形成することによりトランジスタを形成する。このとき、前記ゲート電極113には前記半導体基板111との界面にゲート酸化膜112が設けられている。

【0011】ここで、MRAM素子のMTJセルとライトラインに用いられるゲート電極113との距離が近いほど磁場の影響が増加するので、後続工程で形成される層間絶縁膜の厚さをなるべく薄くなるように形成する。なお、前記ゲート電極113は、ポリシリコン膜／金属膜の積層構造、ポリシリコン膜／金属膜／ポリシリコン膜の積層構造、ポリシリコン膜／シリサイド（ CoSi_x 、 TiSi_x 、…）膜の積層構造、又はポリシリコン膜／シリサイド（ CoSi_x 、 TiSi_x 、…）／ポリシリコン膜の積層構造で形成し、ゲート電極113上部に絶縁物質の形成が円滑になるようにする。

【0012】その次に、全体表面上部を平坦化させる第1層間絶縁膜121を形成する。このとき、前記ソース接合領域115aに接続される基準電圧線117と、前記ドレイン接合領域115bに接続される下部リード層119も設ける。その次に、前記第1層間絶縁膜121の上部に第2層間絶縁膜123を形成し、前記第2層間絶縁膜123に前記下部リード層119に接続されるコンタクトプラグ125を形成する。さらに、前記コンタクトプラグ125、即ち下部リード層119に接続されるシード層127を形成する。このとき、前記シード層127は前記第1ワードライン113と十分重なるように前記第1ワードライン113の上側まで形成する。そして、前記シード層127を露出させるように第3層間絶縁膜129を形成する。

【0013】その次に、前記シード層127の上側にMTJセル137を形成するが、前記第1ワードライン113の上側に形成する。このとき、前記MTJセル137は、前記シード層127に接続される反強磁性層（図示省略）、固定強磁性層131、トンネル障壁層133及び自由強磁性層135の積層構造を形成してなり、MTJセル137を形成するためのマスクを利用しパターンニングして形成したものである。その次に、前記MTJセル137を露出させる平坦化された第4層間絶縁膜139を形成し、前記MTJセル137の自由強磁性層135に接続されるビットライン、即ち上部リード層141を形成することにより、本発明に係るMRAMセルを形成する。

【0014】従来の技術の第2の実施の形態に係るMRAMのデータ記憶動作は、次の通りである。先ず、第1ワードライン113であるゲート電極とビットライン141に電流を流して発生する磁場を利用し自由強磁性層135の磁化方向を変更するが、第1ワードライン113がハイ（high）になりMTJセル137を介した電流がトランジスタを介して基準電圧線117に抜け出るようになる。これを防ぐため、基準電圧線117に基準電圧を印加して基準電圧電位を高めることにより、MTJセル137を通した電流がトランジスタを介して基準電圧線に抜け出ることができないようにする。このとき、前記基準電圧線117に V_{ss} 基準電圧を印加すると共に、前記半導体基板111に V_{bs} 基板電圧を印加することもできる。なお、前記基準電圧線117に接地電圧に代えて基板電圧を印加することもできる。

【0015】

【発明が解決しようとする課題】前述のように、図1及び図2に示す従来の技術に係るマグネチックラム及びその形成方法は、ビットラインへのコンタクトがMTJセルを介して行われるので工程が複雑であり、セル面積が増加して素子の生産性を低下させ、それに伴う半導体素子の高集積化を困難にする問題点がある。

【0016】本発明は、前述のような従来の技術の問題

点を解消するため、ゲート酸化膜なしに半導体基板とワードラインの間にMTJセルを形成し、ビットラインのコンタクト工程を容易に行うことができるようにその構造及び形成方法を簡単にすることにより、素子の生産性及び特性を向上させることができる、マグネチックラム及びその形成方法を提供することにその目的がある。

【0017】

【課題を解決するための手段】本発明の請求項1に記載の発明は、バイポーラ接合トランジスタを利用したマグネチックラムにおいて、半導体基板とビットライン、ワードライン、電気又は磁気信号によりその抵抗が変化する磁気抵抗素子、及びバイポーラ接合トランジスタで構成されていることを特徴とする。

【0018】請求項2に記載の発明は、請求項1に記載のマグネチックラムにおいて、ワードラインと半導体基板の間に磁気抵抗素子としてMTJセルが挿入されたことを特徴とする。

【0019】請求項3に記載の発明は、請求項1に記載のマグネチックラムにおいて、前記MTJセルは、バイポーラ接合トランジスタの入力端子と接続されていることを特徴とする。

【0020】請求項4に記載の発明は、マグネチックラムにおいて、バイポーラ接合トランジスタのベースの役割を果たす半導体基板と、前記半導体基板の活性領域に備えられるバイポーラ接合トランジスタのエミッター及びコレクターと、前記エミッターとコレクターの間に一定距離隔離された活性領域に備えられるMTJセルと、前記MTJセル上部に備えられるワードラインと、前記コレクターに接続されるビットラインと、前記エミッターに接続される基準電圧線とを含んでいることを特徴とする。

【0021】請求項5に記載の発明は、請求項4に記載のマグネチックラムにおいて、前記MTJセルは、自由強磁性層、トンネル障壁層及び固定強磁性層の積層構造を有することを特徴とする。

【0022】請求項6に記載の発明は、請求項4に記載のマグネチックラムにおいて、前記ビットラインは、前記コレクターに接続される連結線及びビットラインコンタクトプラグを介してコンタクトされることを特徴とする。

【0023】請求項7に記載の発明は、請求項4に記載のマグネチックラムにおいて、前記ワードラインの側壁に絶縁膜スペーサが備えられていることを特徴とする。

【0024】請求項8に記載の発明は、マグネチックラムの形成方法において、半導体基板の活性領域にインプラント工程でエミッターとコレクターを形成する工程と、全体表面上部に固定強磁性層、トンネル障壁層及び自由強磁性層の積層構造を形成する工程と、前記固定強磁性層、トンネル障壁層及び自由強磁性層の積層構造をMTJセルマスクを利用したリソグラフィ工程及びエッ

チング工程でパターニングして島状のMTJセルを形成する工程と、全体表面上部にワードライン用導電層を形成する工程と、前記ワードライン用導電層をワードラインマスクを利用したリソグラフィ工程及びエッチング工程でパターニングしてMTJセル上にワードライン積層構造を形成する工程と、全体表面上部に前記ワードラインの上側を露出させる第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜に前記エミッターとコレクターにそれぞれ接続される連結線と基準電圧線を形成する工程と、全体表面上部に第2層間絶縁膜を形成する工程と、前記第2層間絶縁膜上に、前記連結線に接続されるビットラインを形成する工程とを含んでいることを特徴とする。

【0025】請求項9に記載の発明は、請求項8に記載のマグネチックラムの形成方法において、前記ワードラインのパターニング工程後、前記ワードラインの側壁に絶縁膜スペーサを形成することを特徴とする。

【0026】本発明の原理は次の通りである。ゲート酸化膜なしにワードラインと半導体基板の間にMTJセルを形成するが、ソース/ドレイン接合領域と一定距離隔離させて活性領域に形成し、前記ソース/ドレイン接合領域に接続される基準電圧線とビットラインを形成することにより、半導体基板をベースにしてドレイン接合領域をコレクター電極にし、ソース接合領域をエミッター電極にするバイポーラ接合トランジスタの入力電極にMTJセルを用いる。データの記憶工程は、ワードラインとビットラインに必要な電流を同時に印加して磁場を発生させる。この磁場がMTJセルの自由強磁性層で磁化反転を起こしてデータを記憶できるようにする。データの読出工程は、ワードラインに電流ではなく電圧を印加することで、入力電極になるMTJセルの抵抗はMTJセルに記憶された情報に従って異なるようになり、前記MTJセルの抵抗値の変化に伴いバイポーラ接合トランジスタへの入力信号を調節できるようになってトランジスタからの出力信号を変化させる。このとき、この出力信号を感知してデータを読み出す。

【0027】

【発明の実施の形態】以下、図面を参照し、本発明を詳しく説明する。図3は、本発明に係り形成されるマグネチックラム及びその形成方法を示す断面図である。図3に示されているように、前記マグネチックラムはバイポーラ接合トランジスタのベース(base)に用いられる半導体基板211と、前記半導体基板211の活性領域に不純物インプラント工程で形成されるエミッター213a及びコレクター213bと、前記エミッター213aとコレクター213bの間の活性領域に前記エミッター213aとコレクター213bと一定距離隔離されて形成されるMTJセル221及びワードライン223の積層構造と、前記コレクター213bに接続されるビットライン235と前記エミッター213aに接続される基

準電圧線227で構成されている。ここで、前記MTJセル221やワードライン223の下部にゲート酸化膜は形成されない。

【0028】このとき、前記エミッター/コレクター213a、213bは、マスクを利用したインプラント工程で形成されたものである。なお、前記MTJセル221は固定強磁性層215、トンネル障壁層217及び自由強磁性層219の積層構造から構成されている。ここで、前記自由強磁性層219を前記固定強磁性層215に対し同じ方向、反対方向、又は任意の角度で磁化方向を設けることにより、メモリ素子の1つのセル内で“0”や“1”と共に3つ以上の多重データ記録状態を有することができるようにする。そして、前記ビットライン235は連結線229とコンタクトプラグ233で前記コレクター213bに接続される。

【0029】前記図3を参照し、前記マグネチックラムの形成方法を説明すると、次の通りである。まず、半導体基板211の活性領域のうちエミッターとコレクターに予定されている領域を露出させるマスク層(図示省略)を形成し、前記半導体基板211に不純物をインプラントしてエミッター213aとコレクター213bを形成した後、前記マスク層を除去する。さらに、全体表面上部にMTJセルを形成することができる固定強磁性層215、トンネル障壁層217及び自由強磁性層219の積層構造を形成する。そして、MTJセルマスク(図示省略)を利用したフォトリソグラフィ(photoolithography)工程及びエッチング工程で固定強磁性層215、トンネル障壁層217及び自由強磁性層219の積層構造をパターニングし、島形状(island type)のMTJセル221を形成する。

【0030】全体表面上部にワードライン用導電層を形成し、ワードラインマスク(図示省略)を利用したフォトリソグラフィ工程及びエッチング工程で前記ワードライン用導電層をパターニングしてワードライン223を形成することにより、MTJセル221及びワードライン223が積層された構造を形成する。ここで、前記ワードライン223は上側にマスク絶縁膜が形成されて絶縁特性が向上したものである。このとき、前記MTJセル221及びワードライン223の積層構造は、前記エミッター213bとコレクター213aの間の活性領域にそれぞれ一定距離隔離されて形成される。

【0031】その次に、全体表面上部を平坦化させる第1層間絶縁膜225を形成する。このとき、前記第1層間絶縁膜225は前記ワードライン223の上側が露出するように平坦化されたものである。なお、前記第1層間絶縁膜225に前記エミッター213aとコレクター213bにそれぞれ接続される連結線229と基準電圧線227を形成する。その次に、全体表面上部に第2層間絶縁膜231を形成しエッチングして上部表面を平坦化させる。

【0032】さらに、前記第2層間絶縁膜231に前記連結線229に接続されるビットラインコンタクトプラグ233を形成する。このとき、前記ビットラインコンタクトプラグ233はビットラインコンタクトマスク（図示省略）を利用したフォトリソグラフィ工程及びエッチング工程で前記第2層間絶縁膜231をエッチングし、前記連結線229を露出させて前記連結線229に接続されるビットラインコンタクトプラグ用導電層を蒸着し、前記第2層間絶縁膜231が露出するように平坦にエッチングして形成する。その次に、前記ビットラインコンタクトプラグ233に接続されるビットライン235を形成する。このとき、前記ビットライン235は前記ビットラインコンタクトプラグ233に接続されるビットライン用導電層を形成し、これをパターンニングして形成する。

【0033】前記図3を参照し、マグネチックラムの動作を説明すると、次の通りである。まず、データの記憶（write）動作は、トランジスタと係わりなくワードライン223とビットライン235に電流を流すことにより行われる。前記ワードライン223に電流を流すと、MTJセル221内部の固定強磁性層215と自由強磁性層219の間に形成されるトンネル障壁層217の抵抗成分によりトランジスタ側に電流が流れることができず、ワードライン223にのみ電流が流れることになる。前記ビットライン235に流す電流もまた、バイポーラ接合トランジスタのコレクターからベース又はエミッターに流れることができないので、ビットライン235自体にのみ流れる。

【0034】上下方向から見て垂直又は任意の角度で交差することになる前記ワードライン223とビットライン235での電流量及び電流の方向調節は、MTJセル221の自由強磁性層219の磁化方向を望む方向に設けることができるようにし、データ記憶のための動作を可能にする。記憶動作を行ったあと前記MTJセル221の自由強磁性層219の磁化方向は、固定強磁性層215の磁化方向に対し同じ方向、反対方向、又は任意の角度をなす方向に設けられる。前記自由強磁性層219と固定強磁性層215がなす角度に応じてMTJ抵抗値が異なる現象が表われるが、これを利用してデータ記憶を行う。

【0035】データの読出動作は、ビットライン235とワードライン223に電圧を印加する。このとき、電流は流さない。前記ワードライン223に印加された電圧により電流がMTJセル221を介して流れると、MTJセル221の抵抗による電圧降下を形成してトランジスタの入力端子、即ちベースである半導体基板211にかかる電圧をMTJセル221の抵抗値に従って変化させることができるようになる。入力端子にかかる電圧と電流が異なることになると、出力端子としてコレクター213bを用いればコレクター213bに、又はエミ

ッター213bを用いればエミッター213bに表われる信号が異なることになり、これをトランジスタの出力端子に連結されたビットラインでセンシングして記憶された情報を読み出すことができる。

【0036】本発明の他の実施の形態は、前記MTJセル221に代えてAMR（anisotropic magnetoresistance）、GMR、スピン弁（spin valve）、強磁性体／金属・半導体ハイブリッド構造、III-V族磁性半導体複合構造、金属（準金属）／半導体複合構造、CMR（Colossal Magneto-Resistance）等のような磁化又は磁性により抵抗値が変化する全ての種類の磁気抵抗素子を適用することもでき、電気信号による物質の像変換に伴い抵抗値が変化する像変換素子を適用することもできる。

【0037】本発明のさらに他の実施の形態は、前記MTJセル221をトランジスタに直接挿入せず、電気的にのみ連結された形に構成することである。さらに、本発明は図3に示した水平型バイポーラ接合トランジスタだけでなく垂直型バイポーラ接合トランジスタにも適用可能であるため、トランジスタの構造と係わりなく適用することができる。併せて、GaAs等のIII-V族元素を導入したHBT（Heterojunction Bipolar Transistor）を適用することもできる。なお、本発明はMTJセル221及びワードライン223の側壁に絶縁膜スペーサを形成して絶縁特性を向上させることもできる。図3の基準電圧線227は、上部に形成して基準電圧をかけることもでき、トランジスタの下部に抜き出して形成させることもできる。併せて、本発明をマグネチックハードディスクヘッド（magnetic hard disk head）とマグネチックセンサー（magnetic sensor）のように磁場を検出する素子に応用することもできる。

【0038】

【発明の効果】上述のように、本発明に係るマグネチックラム及びその形成方法は、既存のMRAMセルの構成を単純化させてMTJセルをバイポーラ接合トランジスタの入力端子に形成し、それによって、製造工程を単純化させて素子の生産性、特性及び信頼性を向上させることができる効果が得られる。

【図面の簡単な説明】

【図1】従来の技術の第1実施の形態に係るマグネチックラムを示す断面図である。

【図2】従来の技術の第2の形態に係るマグネチックラムを示す断面図である。

【図3】本発明の実施の形態に係るマグネチックラムを示す断面図である。

【符号の説明】

31、111、211 半導体基板

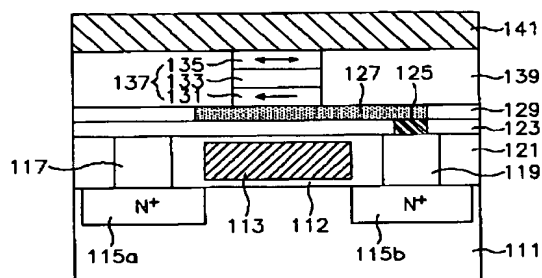
33、113、223 ゲート電極、第2ワードライン

35a、115a ソース接合領域

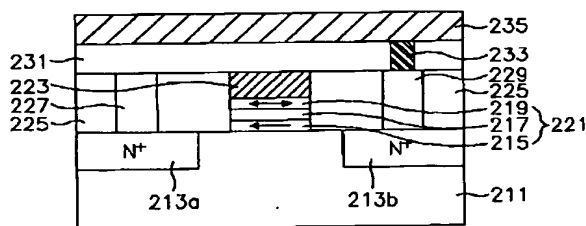
12

* 51、127	シード層
53、139	第4層間絶縁膜
55、131、215	固定強磁性層
57、133、217	トンネル障壁層
59、135、219	自由強磁性層
60	第5層間絶縁膜
61、141、235	ビットライン、上部リード層
100、137、221	MTJセル
125、233	コンタクトプラグ
0 213a	エミッター (emitter)
213b	コレクター (collector)

【図2】



【図 3】



F ターム(参考) 5F083 FZ10 KA01 KA05 MA06 MA16
MA19